

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-298370

(P2003-298370A)

(43)公開日 平成15年10月17日 (2003.10.17)

(51) Int.Cl.
H 03 F 3/60
1/22
3/68

識別記号

F I
H 03 F 3/60
1/22
3/68

テーコート(参考)
5 J 0 6 7
5 J 0 6 9
B 5 J 0 9 2
5 J 5 0 0

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21)出願番号 特願2002-94316(P2002-94316)

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(22)出願日 平成14年3月29日 (2002.3.29)

(72)発明者 小川 康徳

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 100085419

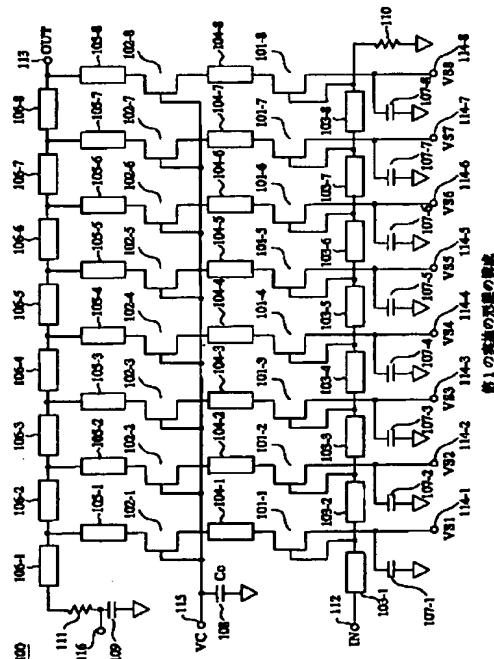
弁理士 大垣 幸

(54)【発明の名称】 分布型増幅器

(57)【要約】

【課題】 ソース接地トランジスタとゲート接地トランジスタとからなるカスコード増幅回路を複数個備える分布型増幅器の、出力波形の変化を抑制する。

【解決手段】 ソース接地トランジスタ101-1～101-8のソースをソース電位入力端子114-1～114-8に接続し、これらのソース電位を個別に設定する。端子114-1～114-8に印加されるソース電位VS1～VS8のうち、零種類以上を+0.8ボルトに設定し、他を零ボルトに設定する。ソース電位が+0.8ボルトのソース接地トランジスタの電圧ゲインは零となり、増幅器全体の電圧ゲインに寄与しない。ソース電位が零ボルトのソース接地トランジスタは、電圧ゲインに寄与し、良好な波形の増幅信号を出力する。ソース電位が零ボルトのソース接地トランジスタの個数により、電圧ゲインの大小を調節できる。



【特許請求の範囲】

【請求項1】 共通の入力端子から供給された信号を入力して、増幅後の前記信号を共通の出力端子に供給する、複数の増幅回路を備える分布型増幅器であって、前記増幅回路のゲインを、当該増幅回路毎に、個別に設定するように構成されたことを特徴とする分布型増幅器。

【請求項2】 入力端子と、出力端子と、複数の増幅回路とを有し、

前記複数の増幅回路は、互いに並列に接続され、

前記複数の増幅回路は、前記入力端子と前記出力端子とにそれぞれ接続されている、

ことを特徴とする請求項1に記載の分布型増幅器。

【請求項3】 前記増幅回路は、第1端子が接地された第1トランジスタと、制御端子が接地された第2トランジスタとを有し、

前記第1トランジスタの第2端子と前記第2トランジスタの第1端子とが接続されており、

前記第1トランジスタの制御端子は前記入力端子に接続され、

前記第2トランジスタの第2端子は前記出力端子に接続されていること、

を特徴とする請求項2に記載の分布型増幅器。

【請求項4】 前記増幅回路のゲインが、前記第1トランジスタの第1端子の電位によって設定されることを特徴とする請求項3に記載の分布型増幅器。

【請求項5】 前記増幅回路のゲインが、前記第2トランジスタの制御端子のバイアス電位によって設定されることを特徴とする請求項3に記載の分布型増幅器。

【請求項6】 前記増幅回路のゲインが、前記第1トランジスタの制御端子のバイアス電位によって設定されることを特徴とする請求項3に記載の分布型増幅器。

【請求項7】 前記増幅回路が、ゲインを実質的に零にすることができ、且つ、入力信号電位-ゲイン曲線が実質的に対象となる位置に動作点を設定することができるよう、構成されたことを特徴とする分布型増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、分布型増幅器に関する。この発明に係る分布型増幅器は、例えば、光通信システム等で使用される広帯域電圧増幅器に適用される。

【0002】

【従来の技術】従来より、広帯域の信号を増幅する増幅器として、分布型増幅器が知られている。分布型増幅器としては、例えば、2001年電子情報通信学会エレクトロニクスソサイエティ大会草稿集第53頁「6.9GHz広帯域分布型増幅器」(小川等)が知られている。

【0003】図7は、かかる分布型増幅器の構成を示す回路図である。

【0004】分布型増幅器700は、ソース接地の電界効果トランジスタ701-1～701-8と、ゲート接地の電界効果トランジスタ702-1～702-8とを備えている。ソース接地トランジスタ701-1～701-8のドレインは、対応するゲート接地トランジスタ702-1～702-8のソースに、それぞれ接続される。このように、ソース接地の増幅トランジスタとゲート接地の増幅トランジスタとを組み合わせてなる増幅回路は、カスコード増幅回路と称される。図7の例では、8個のカスコード増幅回路が設けられている。すなわち、この分布型増幅器700は8セクション構成になっている。

【0005】ソース接地トランジスタ701-1～701-8のソースは、グランドラインに共通接続されている。また、ゲート接地トランジスタ702-1～702-8のゲートは、VC電源に共通接続されている。

【0006】ソース接地トランジスタ701-1～701-8のゲートは、信号入力端子711に接続される。信号入力端子711からは、信号INが入力される。

【0007】ゲート接地トランジスタ702-1～702-8のドレインは、信号出力端子712に接続される。信号出力端子712からは、信号OUTが出力される。また、この信号出力端子712には、図示しない外付けバイアス回路によって、電源電位VDDが印加される。

【0008】ソース接地トランジスタ701-1～701-8やゲート接地トランジスタ702-1～702-8の間に接続する伝送経路としては、コブレーナ伝送線路703-1～703-8、704-1～704-8、

705-1～705-8、706-1～706-8が使用される。

【0009】コブレーナ伝送線路703-1～703-8からなる伝送線路は、終端抵抗707およびキャバシタ708を介してグランドラインに接続される。終端抵抗707とキャバシタ708との間には、バイアス入力端子713が接続される。バイアス入力端子713は、キャバシタ708のキャバシタンスを十分に大きくできない場合に他のキャバシタを外付けするために使用され、さらには、ソース接地トランジスタ701-1～701-8のゲートバイアストミーを供給するためにも使用される。ここで、ゲートバイアストミーを供給する場合、バイアス入力端子713には、直流成分をカットするための、図示しない外付け回路を接続する必要がある。

【0010】コブレーナ伝送線路706-1～706-8からなる伝送線路は、終端抵抗709およびキャバシタ710を介して、グランドラインに接続される。終端抵抗709とキャバシタ710との間には、端子714が接続される。この端子714は、キャバシタ710のキャバシタンスが不十分な場合に、他のキャバシタンス

を外付けするために使用される。ここで、信号出力端子712には、図示しない終端抵抗が外付けされる。すなわち、この分布型増幅器700では、2個の出力側終端抵抗が使用される。これらの出力側終端抵抗は、ゲート接続トランジスタ702-1～702-8側から見て、並列に接続されていることになる。

【0011】このような構成の回路は、電位VDD, VC, TM1を適切に設定することにより、広帯域増幅器として機能させることができる。この分布型増幅器の電圧ゲインGvは、下式(1)で与えられる。式(1)において、nはセクション数、gmは1セクション当たりの相互コンダクタンスである。また、RL/2は、2個の出力側終端抵抗の合成値である。

【0012】

$$Gv = n \cdot gm \cdot RL/2 \quad \dots (1)$$

通常は、電位TM1、すなわちソース接続トランジスタ701-1～701-8のゲートバイアスを変化させることによって、分布型増幅器の電圧ゲインGvを設定する。電位TM1を変化させることにより、各ソース接続トランジスタ701-1～701-8のゲート・ソース間電圧が変化し、これによって相互コンダクタンスgmが変化するので、電圧ゲインGvを変化させることができ。電位TM1を使用する場合、電圧ゲインGvを零から最大値Gvmaxまで、連続的に変化させることができる。

【0013】

【発明が解決しようとする課題】しかしながら、図7の分布型増幅器には、電圧ゲインGvを小さくするために電位TM1を変化させると、出力信号波形までも変化してしまうという欠点がある。このような波形変化は、かかる出力信号を受信する装置にとって不都合となる場合が多い。特に、光通信装置等で使用されるベースバンドデジタル信号を增幅するための分布型増幅器では、この欠点の影響は顕著となる。

【0014】図8は、分布型増幅器700の入力波形および出力波形のシミュレーション結果を示している。このシミュレーションでは、各トランジスタ701-1～701-8, 702-1～702-8として、ゲート長が0.1μmでゲート幅が40μmのGaAs製P型HEMT(High Electron Mobility Transistor)を使用した。

【0015】図8(A)は、入力信号IN(図7参照)の波形を示している。入力信号INは、40Gb/sの7段擬似ランダム信号で、振幅を0.5ボルト(すなわち0.5Vpp)とした。図8(A)に示したような波形は、アイバターンと称される。アイバターンを用いて波形を評価する場合、信号の立ち上がり部分と立ち下がり部分とのクロスポイントの位置が、重要なパラメータとなる。すなわち、クロスポイントの位置ずれが大きいほど、信号波形の劣化が激しいと言える。多くの場合、

図8(A)に示したように、入力信号INのクロスポイントは、ハイレベルとローレベルとのほぼ中央に位置するように設定される。

【0016】図8(B)は、電位TM1を零ボルトとしたときの出力信号OUTの波形を示している。このときの電圧ゲインGvは、3.4であった。図8(B)から解るように、出力信号OUTのクロスポイントの位置は、入力信号IN(図8(A)参照)のクロスポイントと同様、ハイレベルとローレベルとのほぼ中央である。

【0017】図8(C)は、電位TM1を-0.25ボルトとしたときの出力信号OUTの波形を示している。このときの電圧ゲインGvは、3.2であった。図8(C)から解るように、出力信号OUTのクロスポイントの位置は、図8(A)および(B)の波形よりも、やや上方にずれている。

【0018】図8(D)は、電位TM1を-0.50ボルトとしたときの出力信号OUTの波形を示している。このときの電圧ゲインGvは、2.2であった。図8(D)から解るように、出力信号OUTのクロスポイントの位置は、図8(C)の波形よりも、さらに上方にずれている。

【0019】以下、クロスポイントがずれる理由について、図9を用いて説明する。図9は、ソース接続トランジスタ701-1～701-8における、ゲート・ソース間電圧Vgsと相互コンダクタンスgmとの関係を示すグラフである。図9において、動作点b, c, dは、それぞれ、図8(B), (C), (D)の波形に対応する。

【0020】上式(1)から解るように、相互コンダクタンスgmは電圧ゲインGvに比例し、このため、相互コンダクタンスgmが大きくなれば電圧ゲインGvも大きくなる。さらに、図9に示したように、ゲート・ソース間電圧Vgsを変化させることにより、相互コンダクタンスgmが変化する。したがって、ゲート・ソース間電圧Vgsを変化させることにより、分布型増幅器の電圧ゲインGvも変化する。

【0021】上述したように、波形の変化は、図8(B)→図8(C)→図8(D)の順で激しくなる。これを図9の動作点に当てはめると、b→c→dの順で波形の変化が激しくなることになる。このことから、gm曲線の傾きが大きい領域に位置する動作点ほど、波形の変化が激しくなることが解る。図8の例のように、入力信号INの振幅が0.5Vppの場合、ソース接続トランジスタ701-1～701-8のゲート・ソース間電圧Vgsは動作点を中心±0.25Vppの範囲でスイングする。したがって、動作点付近で曲線が傾いていると、ゲート・ソース間電圧Vgsのスイングに伴って、相互コンダクタンスgmが変動し、このため電圧ゲインも変動する。例えば、図9の動作点dや動作点cでは、入力信号INのローレベル付近では電圧ゲインGv

が小さくなり、入力信号INのハイレベル付近では電圧ゲインが大きくなる。ここで、図7の分布型増幅器では、出力信号OUTが、入力信号INに対して反転する。したがって、出力信号OUTは、ハイレベル付近では電圧ゲインGVが小さくなり、入力信号INのローレベル付近では電圧ゲインGVが大きくなる。このため、動作点がd, cの場合、ローレベル付近が強調された波形の出力信号OUTが生成される。これによって、入力信号INに対する出力信号OUTの歪みが生じ、クロスポイントが上方にずれると考えられる。

【0022】一方、動作点がbの場合には、gm曲線は±0.25V_{p-p}の領域でほぼ左右対称になる。したがって、入力信号INのローレベル付近の電圧ゲインGVとハイレベル付近の電圧ゲインGVとはほぼ同一になるので、クロスポイントのずれがほとんど無く、したがって、良好な出力波形を得ることができる。

【0023】用途によっては、クロスポイントの位置が、ハイレベルとローレベルとの中央付近からずれた位置に意図的に設定される場合もある。このような場合でも、電位TM1の変化に応じて、クロスポイントが設定位置からずれてしまう。このため、出力信号波形は、意図した波形とは異なる波形になってしまふ。

【0024】以上説明したように、図7の分布型増幅器では、電位TM1を用いて電圧ゲインGVを制御することができるものの、電圧ゲインGVの設定値によっては出力信号OUTの波形変化が激しくなってしまう。これは、良質な波形が要求される用途では、非常に問題となる。

【0025】

【課題を解決するための手段】この発明は、共通の入力端子から供給された信号を入力して、増幅後の前記信号を共通の出力端子に供給する、複数の増幅回路を備える分布型増幅器に関する。

【0026】そして、増幅回路のゲインを、当該増幅回路毎に、個別に設定するように構成されたことを特徴とする。

【0027】この発明に係る分布型増幅器によれば、増幅回路ごとにゲインを設定することができ、したがって、出力信号の波形が良好になるようなゲインの組み合わせを得ることができる。

【0028】

【発明の実施の形態】以下、この発明の実施の形態について、図面を用いて説明する。なお、図中、各構成成分の大きさ、形状および配置関係は、本発明が理解できる程度に概略的に示してあるにすぎず、また、以下に説明する数値的条件は単なる例示にすぎない。

【0029】第1の実施の形態

以下、この発明の第1の実施の形態に係る分布型増幅器について、図1～図4を用いて説明する。

【0030】この実施の形態に係る分布型増幅器は、ソ

ース接地トランジスタのソース電位が共通でない点などで、従来の分布型増幅器700(図7参照)と異なる。【0031】図1は、この実施の形態に係る分布型増幅器の構成を示す回路図である。

【0032】図1に示したように、この分布型増幅器100は、ソース接地電界効果トランジスタ101-1～101-8と、ゲート接地電界効果トランジスタ102-1～102-8と、コプレーナ伝送線路103-1～103-8, 104-1～104-8, 105-1～105-8, 106-1～106-8と、キャバシタ107-1～107-8, 108, 109と、抵抗110, 111と、信号入力端子112と、信号出力端子113と、ソース電位入力端子114-1～114-8と、ゲートバイアス入力端子115とを備えている。

【0033】ソース接地トランジスタ101-1～101-8とゲート接地トランジスタ102-1～102-8とは、対応するものどうしのペアにより、それぞれ、カスコード増幅回路を構成する。したがって、この分布型増幅器は、8セクション構成である。但し、セクションの数は、信号帯域や電圧ゲインGV等に応じて任意に決定することができる。

【0034】ソース接地トランジスタ101-1～101-8としては、ゲート長が0.1μmでゲート幅が40μmのGaAs製P型HEMTを使用した。各ソース接地トランジスタ101-1～101-8の特性は、従来のソース接地トランジスタ701-1～701-8(図9参照)と同じである。ソース接地トランジスタ101-1～101-8の各ゲートは、それぞれ、コプレーナ伝送線路103-1～103-8を介して、信号入力端子112に接続されている。また、ソース接地トランジスタ101-1～101-8の各ソースは、ソース電位入力端子114-1～114-8に接続されている。さらに、ソース接地トランジスタ101-1～101-8の各ソースは、後述のキャバシタ107-1～107-8を介して、グランドラインに接続される。

【0035】ゲート接地トランジスタ102-1～102-8としては、ソース接地トランジスタ101-1～101-8と同様、ゲート長が0.1μmでゲート幅が40μmのGaAs製P型HEMTを使用した。ゲート接地トランジスタ102-1～102-8のソースは、コプレーナ伝送線路104-1～104-8を介して、ソース接地トランジスタ101-1～101-8のドレインに接続されている。また、ゲート接地トランジスタ102-1～102-8のゲートは、ゲートバイアス入力端子115と共に接続されている。さらに、ゲート接地トランジスタ102-1～102-8のドレインは、コプレーナ伝送線路105-1～105-8, 106-2～106-8を介して、信号出力端子113に接続されている。

【0036】コプレーナ伝送線路103-1～103-8

8, 104-1～104-8, 105-1～105-8, 106-1～106-8としては、従来と同じものを使用することができるので、説明を省略する。

【0037】キャバシタ107-1～107-8は、上述のように、ソース接地トランジスタ101-1～101-8のソースとグランドラインとの間に設けられる。キャバシタ107-1～107-8を設けたのは、ソース接地トランジスタ101-1～101-8のソースを、広帯域にわたって安定に接地するためである。キャバシタ107-1～107-8としては、用途によっては、 $0.1\mu F$ 程度の大きい静電容量のものを使用する必要がある。そのような大容量のキャバシタをチップ上に形成できない場合は、例えば、チップ上の 100 pF 程度のキャバシタを形成するとともに $0.1\mu F$ 程度のキャバシタを外付することとすればよい。

【0038】キャバシタ108は、一端がゲートバイアス入力端子115に接続され、他端がグランドラインに接続されている。キャバシタ109は、一端が抵抗111を介してコブレーナ伝送線路106-1に接続され、他端がグランドラインに接続されている。抵抗110は、一端がコブレーナ伝送線路103-8に接続され、他端がグランドラインに接続されている。キャバシタ108は、ゲート接地トランジスタ102-1～102-8のゲートバイアスの安定化のために使用される。キャバシタ109は、直流成分をカットして、対応する伝送線路を交流終端とするために使用される。抵抗110は、入力信号INに対する終端抵抗である。また、抵抗111は、出力信号OUTに対する、一方の終端抵抗である。信号出力端子113には、他方の終端抵抗(図示せず)が外付けされる。この実施の形態では、2個の終端抵抗の値RLを同じ抵抗値(例えば50オーム)とする。

【0039】次に、図1に示した分布型増幅器100の動作について説明する。

【0040】分布型増幅器100の信号出力端子113に、図示しない外付バイアス回路によって、電源電位VDDが印加される。この実施の形態では、電源電位VDDを4ボルトに設定した。また、ゲートバイアス入力端子115には、ゲートバイアス電位VCが印加される。この実施の形態では、ゲートバイアス電位VCを2ボルトとした。さらに、ソース電位入力端子114-1～114-8には、ソース接地トランジスタ101-1～101-8のソース電位として、電位VS1～VS8が印加される。この実施の形態では、電位VS1～VS8を、それぞれ、零ボルトまたは $+0.8$ ボルトのいずれかとする。

【0041】最初に、ソース電位VS1～VS8をすべて零ボルトとした場合を考える。この場合、分布型増幅器100は、従来の分布型増幅器700(図7参照)と等価な回路となる。また、この場合、各ソース接地型ト

ランジスタ101-1～101-8のゲート・ソース間電圧は零ボルトなので、これらのトランジスタ101-1～101-8の動作点は、図9のb点となる。したがって、図9を用いて説明したように、変化の小さい良好な出力波形を得ることができる。このときの分布型増幅器100の電圧ゲインGvは、上式(1)のnに「8」を代入した式で与えられる。

【0042】次に、ソース電位VS1を $+0.8$ ボルトとし、他のソース電位VS2～VS8を零ボルトとした場合を考える。ソース接地トランジスタ101-1のゲート・ソース間電圧は -0.8 ボルトとなり、したがって、動作点は図9のe点となる。一方、他のソース接地トランジスタ101-2～101-8のゲート・ソース間電圧は零ボルトなので、動作点は図9のb点になる。図9に示したように、動作点がe点のとき、ソース接地トランジスタはビンチオフし、電圧ゲインは零である。このため、分布型増幅器100は、セクション数が7の分布型増幅器として動作する。このときの分布型増幅器100の電圧ゲインGvは、上式(1)のnに「7」を代入した式で与えられる。したがって、電圧ゲインGvは、上述のn=8の場合よりも小さくなる。その一方で、電圧ゲインが零でないソース接地トランジスタ101-2～101-8の動作点はすべてb点であるため、変化の小さい良好な出力波形が得られる。

【0043】同様にして、ソース電位VS1～VS8のうち $+0.8$ ボルトに設定されるものが多いほど、分布型増幅器100の電圧ゲインGvは小さくなる。これにより、分布型増幅器100全体としての電圧ゲインGvを、n=0からn=8までの9段階に調整することができる。そして、出力信号OUTの波形は、電圧ゲインGvの大小に拘わらず、常に良好である。

【0044】図2は、周波数と電圧ゲインGvとの関係を、上式(1)におけるnの値ごとに示したグラフである。図2から解るように、n=8のときの電圧ゲインGvは12程度であり、nの値が小さいほど電圧ゲインGvも小さくなる。このように、この実施の形態に係る分布型増幅器100によれば、電圧ゲインGvの可変を良好に行うことができた。さらに、nの値に拘わらず、周波数と電圧ゲインGvとの関係を示す曲線を、十分に平坦にできた。

【0045】図3(A)～(D)および図4(A)～(D)は、分布型増幅器100の出力波形のシミュレーション結果を示している。入力信号INの波形としては、従来(図8(A)参照)と同じアイバターンを使用した。図3(A)に示したように、n=8のとき(ソース電位VS1～VS8がすべて0ボルトのとき)、電圧ゲインGvは4であり且つ出力振幅は 2.0 Vpp であった。また、図3(B)に示したように、n=7のとき、電圧ゲインGvは3.5であり且つ出力振幅は 1.75 Vpp であった。同様に、nが6以下の場合も、n

が「1」小さくなると、電圧ゲイン G_v が0.5減少し、且つ、出力振幅が0.25Vpp減少するという関係を有していた。図3および図4から解るように、nの大小に拘わらず、クロスポイントのずれは実質的に零であり、良好な出力波形が得られた。

【0046】以上説明したように、この実施の形態では、各ソース接地トランジスタの動作点(図9参照)を一律に変えることによって電圧ゲイン G_v を制御するのではなく、信号増幅に寄与するソース接地トランジスタの個数によって電圧ゲイン G_v を制御することとし、さらに、信号増幅に寄与するソース接地トランジスタの動作点をすべてb点に設定した。したがって、この実施の形態では、電圧ゲイン G_v の大きさに拘わらず、常に、変化が小さい出力波形すなわち良好な出力波形を得ることができる。

【0047】また、この実施の形態では、ソース接地トランジスタのソース電位VS1～VS8を零ボルトまたは0.8ボルトのいずれかに設定するだけでよく、ソース電位VS1～VS8の微調整は不要である。すなわち、この実施の形態によれば、ローレベルが零ボルトで且つハイレベルが0.8ボルトのデジタル信号を用いてソース電位VS1～VS8を設定することができるので、ソース電位生成回路の構成は非常に簡単でよい。したがって、この実施の形態によれば、外部の制御回路の構成を簡単にすることができます。

【0048】但し、ソース電位VS1～VS8を零ボルトまたは0.8ボルトのいずれかに設定するのではなく、アナログ的に微調整できるように、この実施の形態に係る分布型増幅器を構成することも可能である。この場合には、出力波形の微細な成形や電圧ゲイン G_v の微調整を可能にすることができます。

【0049】また、この実施の形態に係る分布型増幅器100ではソース接地トランジスタ毎にソース電位を設定したが、ソース接地トランジスタ101-1～101-8をブロックに分けて各ブロック毎にソース電位を設定することとしてもよい。この場合は、ソース電位入力端子(図1の114-1～114-8)の個数を減らすことができるので、分布型増幅器100を搭載した半導体チップの電極数を削減することができる。

【0050】さらに、この実施の形態に係る分布型増幅器100では、すべてのトランジスタとして電界効果トランジスタを使用したが、バイポーラトランジスタを使用してもよい。この場合、ソース接地トランジスタ101-1～101-8に代えてエミッタ接地トランジスタが使用され、且つ、ゲート接地トランジスタ102-1～102-8に代えてベース接地トランジスタが使用される。

【0051】加えて、この実施の形態に係る分布型増幅器100では増幅回路としてカスコード増幅回路を使用したが、ソース接地トランジスタのみ或いはエミッタ接

地トランジスタのみによって各セクションの増幅回路を構成する場合にも、この実施の形態を適用することができます。

【0052】この実施の形態に係る分布型増幅器100では、ソース電位入力端子114-1～114-8から電位VS1～VS8を印加することとしたが、ソース電位入力端子114-1～114-8に代えて、スイッチをそれぞれ設けることとしてもよい。この場合、これらのスイッチは、一端がソース接地トランジスタ101-1～101-8に接続され、他端から零ボルトが印加される。閉じているスイッチに対応するソース接地トランジスタは、ソースに零ボルトが印加されるので、ゲインがある状態になる。一方、開いているスイッチに対応するソース接地トランジスタは、ソース電流が流れないので、ゲインが零の状態になる。したがって、このような構成の分布型増幅器も、この実施の形態に係る分布型増幅器100と同様に動作させることができる。

【0053】上述のように、分布型増幅器の用途によっては、クロスポイントを、ハイレベルとローレベルとの中央から意図的にずらしたい場合がある。このような場合には、ソース接地トランジスタ101-1～101-8の動作点位置を、相互コンダクタンスgmが左右非対称となる位置(図9の点c, d参照)に意図的に設定すればよい。分布型増幅器100によれば、このような場合にも、動作点の位置が電圧ゲインとともに変化することを防ぎ、所望の出力信号波形を得ることができます。

【0054】第2の実施の形態

次に、この発明の第2の実施の形態に係る分布型増幅器について、図5を用いて説明する。

【0055】この実施の形態に係る分布型増幅器は、ゲート接地トランジスタのゲートバイアスが共通でない点等で、従来の分布型増幅器700(図7参照)と異なる。

【0056】図5は、この実施の形態に係る分布型増幅器500の構成を示す回路図である。

【0057】図5において、図1と同じ符号を付した構成要素は、それぞれ図1の場合と同じものを示している。

【0058】図5に示したように、分布型増幅器500は、抵抗501-1～501-8と、キャパシタ502-1～502-8と、ゲート接地トランジスタ102-1～102-8用のバイアス入力端子503-1～503-8と、ソース接地トランジスタ101-1～101-8用のバイアス入力端子504と、キャパシタ505とを備えている。

【0059】抵抗501-1～501-8は、一端がゲート接地トランジスタ102-1～102-8のゲートに接続され、他端がバイアス入力端子503-1～503-8に接続されている。抵抗501-1～501-8を設けたのは、ゲート接地トランジスタ102-1～1

02-8のゲートを、静電気等から保護するためである。

【0060】キャパシタ502-1～502-8は、一端がゲート接地トランジスタ102-1～102-8のゲートに接続され、他端がグランドラインに接続されている。キャパシタ502-1～502-8を設けたのは、バイアス入力端子503-1～503-8からゲート接地トランジスタ102-1～102-8のゲートへの供給電位を、安定化させるためである。

【0061】バイアス入力端子504は、ソース接地トランジスタ101-1～101-8のゲートバイアスを調整するための端子である。バイアス入力端子504には、直流成分をカットするための、図示しない外付け回路が接続される。

【0062】キャパシタ505は、入力側を交流終端とするために使用される。

【0063】次に、図5に示した分布型増幅器500の動作について説明する。

【0064】第1の実施の形態と同様、分布型増幅器500の信号出力端子113には、図示しないバイアス回路によって、電源電位VDDが印加される。この実施の形態でも、電源電位VDDを4ボルトに設定した。また、バイアス入力端子504の電位は、0ボルトに設定した。

【0065】バイアス入力端子503-1～503-8には、ゲート接地トランジスタ102-1～102-8のゲートバイアスとして、電位Vc1～Vc8が印加される。この実施の形態では、電位Vc1～Vc8を、+2ボルトまたは-1ボルトのいずれかとする。ゲート接地トランジスタのゲートバイアス（電位Vc1～Vc8）が+2ボルトの場合、かかるゲート接地トランジスタの動作点は、ソース接地トランジスタにおける動作点b（図9参照）と同様、左右対称な曲線となる。一方、ゲート接地トランジスタのゲートバイアスが-1ボルトの場合、かかるゲート接地トランジスタは、ソース接地トランジスタにおける動作点e（図9参照）と同様、電圧ゲインが零になる。

【0066】この実施の形態に係る分布型増幅器500によっても、第1の実施の形態と同様の特性（図2～図4参照）を得ることができた。

【0067】ゲートバイアスVc1～Vc8のうち+2ボルトに設定されるものが多いほど、分布型増幅器500の電圧ゲインGvは大きくなる。これにより、分布型増幅器500全体としての電圧ゲインGvを、9段階に調整することができる。そして、出力信号OUTの波形は、第1の実施の形態と同様、電圧ゲインGvの大小に拘わらず常に良好である。

【0068】以上説明したように、この実施の形態では、信号増幅に寄与するゲート接地トランジスタの個数によって、電圧ゲインGvを制御することとし、さら

に、信号増幅に寄与するゲート接地トランジスタの動作点を、出力波形の変化が小さい動作点に固定した。したがって、この実施の形態では、電圧ゲインGvの大きさに拘わらず、常に、変化が小さい良好な出力波形を得ることができる。

【0069】また、この実施の形態では、ゲート接地トランジスタのゲートバイアスVc1～Vc8を+2ボルトまたは-1ボルトのいずれかに設定するだけでよいので、ゲートバイアスVc1～Vc8を設定する外部回路の構成は非常に簡単でよい。

【0070】加えて、第1の実施の形態に係る分布型増幅器500では、ソース電位入力端子114-1～114-8に数ミリアンペア～数十ミリアンペアの電流が流れのに対し、この実施の形態に係る分布型増幅器500では、バイアス入力端子503-1～503-8にはほとんど電流が流れない。したがって、外部回路の設計は、第1の実施の形態の場合よりも、さらに簡単である。

【0071】但し、ゲートバイアスVc1～Vc8を+2ボルトまたは-1ボルトのいずれかに設定するのではなく、アナログ的に微調整できるように、この実施の形態に係る分布型増幅器500を構成することも可能である。この場合には、出力波形の微細な成形や電圧ゲインGvの微調整を可能にすることができる。

【0072】また、この実施の形態に係る分布型増幅器500ではゲート接地トランジスタ毎にゲートバイアスを設定したが、ゲート接地トランジスタ102-1～102-8を複数ブロックに分けて各ブロック毎にゲートバイアスを設定することとしてもよい。この場合は、バイアス入力端子（図5の503-1～503-8）の個数を減らすことができるので、分布型増幅器500を搭載した半導体チップの電極数を削減することができる。

【0073】さらに、この実施の形態に係る分布型増幅器500では、すべてのトランジスタとして電界効果トランジスタを使用したが、バイポーラトランジスタを使用してもよい。この場合、ソース接地トランジスタ101-1～101-8に代えてエミッタ接地トランジスタが使用され、且つ、ゲート接地トランジスタ102-1～102-8に代えてベース接地トランジスタが使用される。

【0074】加えて、この実施の形態に係る分布型増幅器500では増幅回路としてカスコード増幅回路を使用したが、ゲート接地トランジスタのみ或いはベース接地トランジスタのみによって各セクションの増幅回路を構成する場合にも、この実施の形態を適用することができる。

【0075】第3の実施の形態

次に、この発明の第3の実施の形態に係る分布型増幅器について、図6を用いて説明する。

【0076】この実施の形態に係る分布型増幅器は、ソ

ース接地トランジスタのゲートバイアスが共通でない点等で、従来の分布型増幅器700（図7参照）と異なる。

【0077】図6は、この実施の形態に係る分布型増幅器600の構成を示す回路図である。

【0078】図6において、図1と同じ符号を付した構成要素は、それぞれ図1の場合と同じものを示している。

【0079】図6に示したように、分布型増幅器600は、抵抗601-1～601-8とキャパシタ602-1～602-8と、ゲートバイアス入力端子603-1～603-8とを備えている。

【0080】抵抗601-1～601-8の一端は、コブレーナ伝送線路103-1～103-8とソース接地トランジスタ101-1～101-8のゲートとの接続点に接続されている。また、抵抗601-1～601-8の他端は、ゲートバイアス入力端子603-1～603-8に接続されている。抵抗601-1～601-8は、入力信号INがバイアス入力端子603-1～603-8に漏れることを防止するために設けられ、例えば10キロオーム程度のものが使用される。

【0081】キャパシタ602-1～602-7は、上述の接続点と、次段のコブレーナ伝送線路103-2～103-8との間に設けられる。また、キャパシタ602-8は、上述の接続点と終端抵抗110との間に設けられる。キャパシタ602-1～602-8は、直流成分をブロックして、ソース接地トランジスタ101-1～101-8毎に異なるゲートバイアスを印加することを可能にする。この実施の形態に係る分布型増幅器600は、高周波アナログ信号用の増幅器としての用途に適している。高周波アナログ信号の用途では、キャパシタ602-1～602-8のキャパシタンスが小さくて済み、したがって分布型増幅器600を小さい回路規模で実現できるからである。

【0082】次に、図6に示した分布型増幅器600の動作について説明する。

【0083】分布型増幅器600の信号出力端子113側には、図示しないバイアス回路によって、電源電位VDDが印加される。この実施の形態では、電源電位VDDを4ボルトに設定した。また、ゲートバイアス入力端子115には、ゲートバイアス電位VCが印加される。この実施の形態では、ゲートバイアス電位VCを2ボルトとした。

【0084】バイアス入力端子603-1～603-8には、ソース接地トランジスタ101-1～101-8のゲートバイアスとして、電位Vg1～Vg8が印加される。この実施の形態では、電位Vg1～Vg8を、零ボルトまたは-0.8ボルトのいずれかとする。ソース接地トランジスタのゲートバイアス（電位Vg1～Vg8）が零ボルトの場合、かかるソース接地トランジスタ

の動作点は、点b（図9参照）となる。一方、ソース接地トランジスタのゲートバイアスが-0.8ボルトの場合、かかるソース接地トランジスタのゲート・ソース間電圧は-0.8ボルトとなって、このソース接地トランジスタはビンチオフし、したがって電圧ゲインが零になる（図9参照）。

【0085】この実施の形態に係る分布型増幅器600によっても、第1の実施の形態と同様の特性（図2～図4参照）を得ることができた。

【0086】ゲートバイアスVg1～Vg8のうち零ボルトに設定されるものが多いほど、分布型増幅器600の電圧ゲインGvは大きくなる。これにより、分布型増幅器100全体としての電圧ゲインGvを、9段階に調整することができる。そして、出力信号OUTの波形は、第1の実施の形態と同様、電圧ゲインGvの大小に拘わらず常に良好である。

【0087】以上説明したように、この実施の形態では、第1の実施の形態と同様、信号増幅に寄与するソース接地トランジスタの個数によって、電圧ゲインGvを制御することとし、さらに、信号増幅に寄与するゲート接続トランジスタの動作点を点bに固定した。したがって、この実施の形態では、電圧ゲインGvの大きさに拘わらず、常に、変化が小さい良好な出力波形を得ることができる。

【0088】また、この実施の形態では、ソース接地トランジスタのゲートバイアスVg1～Vg8を零ボルトまたは-0.8ボルトのいずれかに設定するだけでよいので、ゲートバイアスVg1～Vg8を設定する外部回路の構成は、非常に簡単である。

【0089】加えて、第1の実施の形態に係る分布型増幅器100では、ソース電位入力端子114-1～114-8に数ミリアンペア～数十ミリアンペアの電流が流れのに対し、この実施の形態に係る分布型増幅器600では、バイアス入力端子603-1～603-8にはほとんど電流が流れない。したがって、外部回路の設計は、第1の実施の形態の場合よりも、さらに簡単である。

【0090】但し、ゲートバイアスVg1～Vg8を零ボルトまたは-0.8ボルトのいずれかに設定するのではなく、アナログ的に微調整できるように、この実施の形態に係る分布型増幅器600を構成することも可能である。この場合には、出力波形の微細な成形や電圧ゲインGvの微調整を可能にすることができる。

【0091】また、この実施の形態に係る分布型増幅器600ではソース接地トランジスタ毎にゲートバイアスを設定したが、ソース接地トランジスタ101-1～101-8を複数ブロックに分けて各ブロック毎にゲートバイアスを設定することとしてもよい。この場合は、バイアス入力端子（図5の603-1～603-8）の個数を減らすことができるので、分布型増幅器600を搭

載した半導体チップの電極数を削減することができる。
【0092】さらに、この実施の形態に係る分布型増幅器600では、すべてのトランジスタとして電界効果トランジスタを使用したが、バイポーラトランジスタを使用してもよい。この場合、ソース接地トランジスタ101-1～101-8に代えてエミッタ接地トランジスタが使用され、且つ、ゲート接地トランジスタ102-1～102-8に代えてベース接地トランジスタが使用される。

【0093】加えて、この実施の形態に係る分布型増幅器600では増幅回路としてカスコード増幅回路を使用したが、ソース接地トランジスタのみ或いはエミッタ接地トランジスタのみによって各セクションの増幅回路を構成する場合にも、この実施の形態を適用することができる。

【0094】

【発明の効果】以上詳細に説明したように、本発明によれば、増幅回路または増幅回路のブロック毎にゲインを設定することによって、良好な出力波形を得ることができる。

【図面の簡単な説明】

【図1】第1の実施の形態に係る分布型増幅器の構成を示す回路図である。

【図2】第1の実施の形態に係る分布型増幅器の特性を示すグラフである。

【図3】第1の実施の形態に係る分布型増幅器の特性を示すグラフである。

【図4】第1の実施の形態に係る分布型増幅器の特性を*

*示すグラフである。

【図5】第2の実施の形態に係る分布型増幅器の構成を示す回路図である。

【図6】第3の実施の形態に係る分布型増幅器の構成を示す回路図である。

【図7】従来の分布型増幅器の構成を示す回路図である。

【図8】従来の分布型増幅器の特性を示すグラフである。

10 【図9】従来の分布型増幅器の特性を示すグラフである。

【符号の説明】

100 分布型増幅器

101-1～101-8 ソース接地電界効果トランジスタ

102-1～102-8 ゲート接地電界効果トランジスタ

103-1～103-8 コプレーナ伝送線路

104-1～104-8 コプレーナ伝送線路

20 105-1～105-8 コプレーナ伝送線路

106-1～106-8 コプレーナ伝送線路

107-1～107-8 キャバシタ

108, 109 キャバシタ

110, 111 抵抗

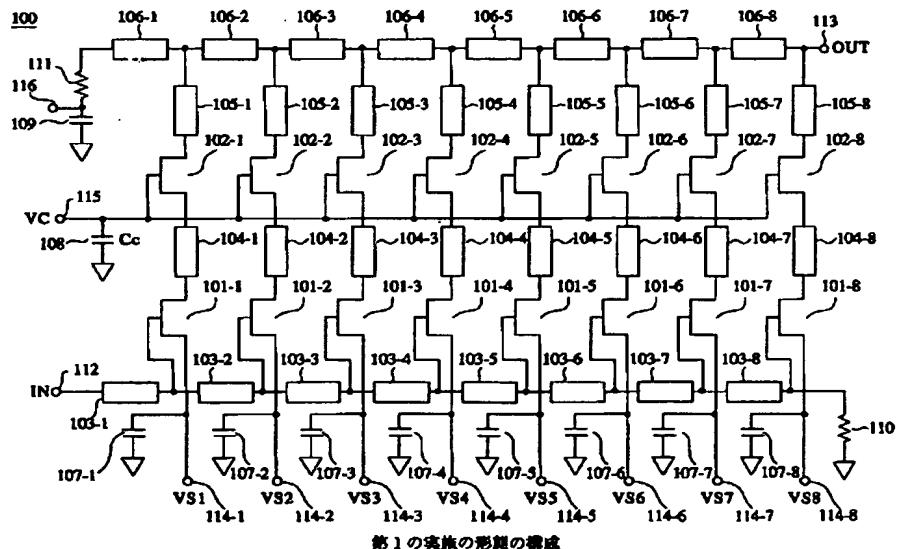
112 信号入力端子

113 信号出力端子

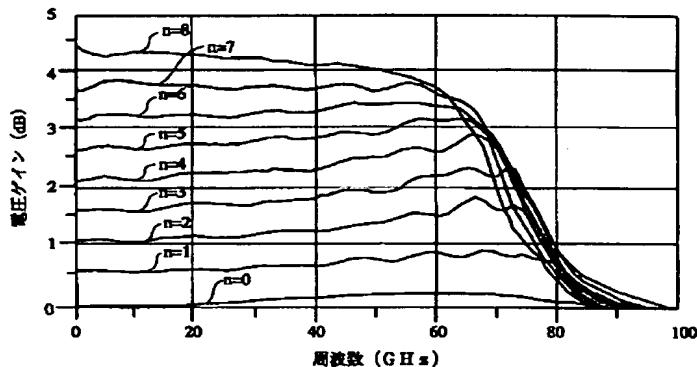
114-1～114-8 ソース電位入力端子

115 ゲートバイアス入力端子

【図1】

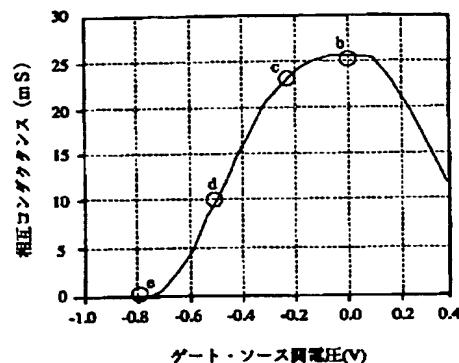


【図2】



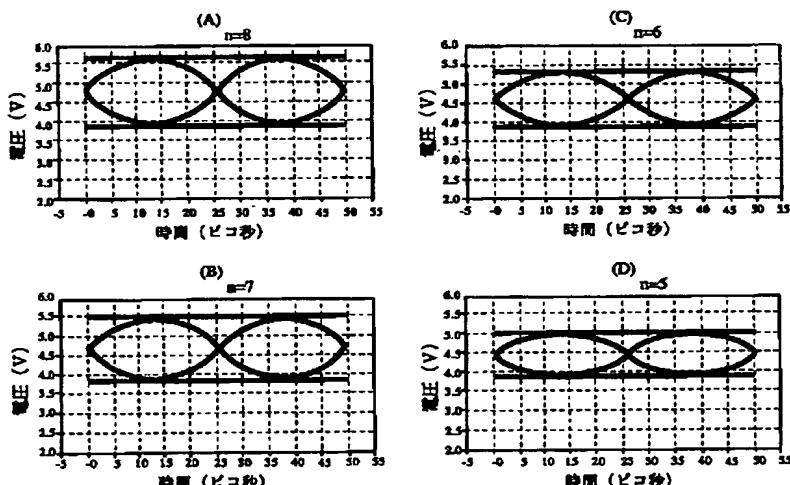
第1の実施の形態の動作 (その1)

【図9】



従来技術の動作 (その2)

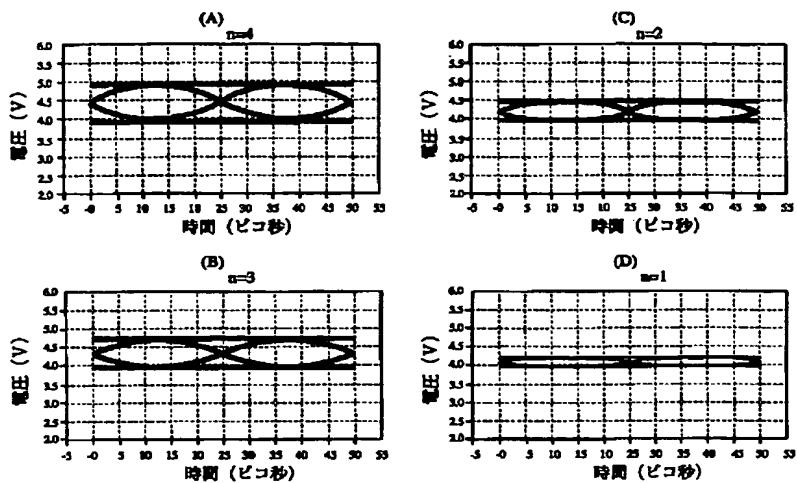
【図3】



第1の実施の形態の動作 (その2)

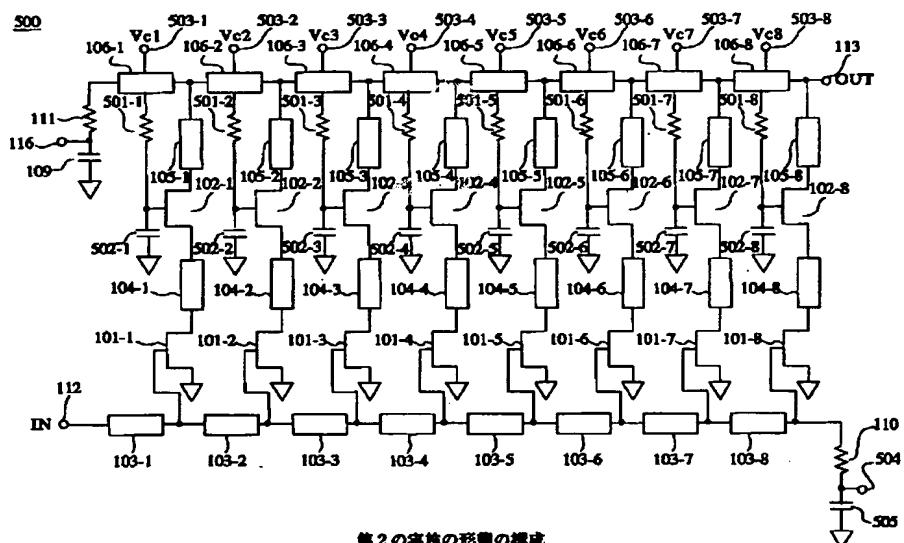
「特許登録出願用書類」
「特許登録出願用書類」

【図4】



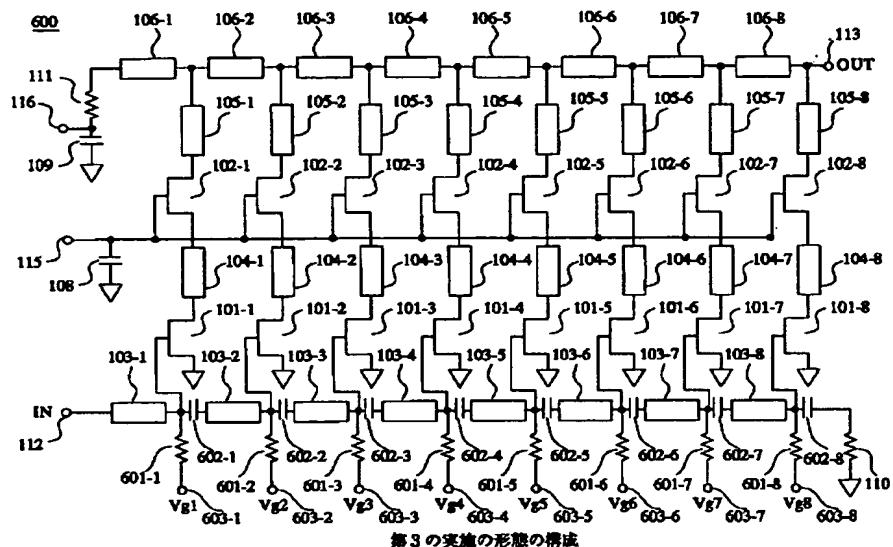
第1の実施の形態の動作（その3）

【図5】

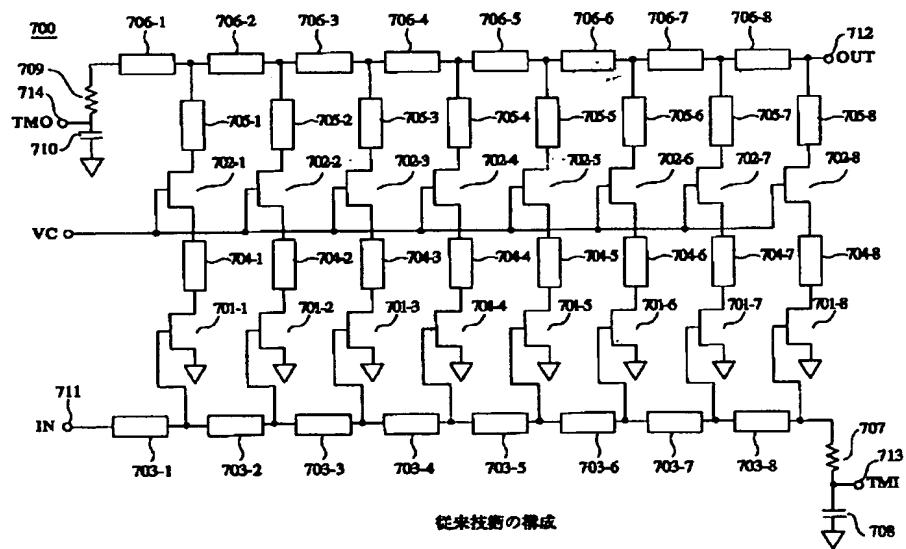


特許登録出願中
PCT日本2003-000000

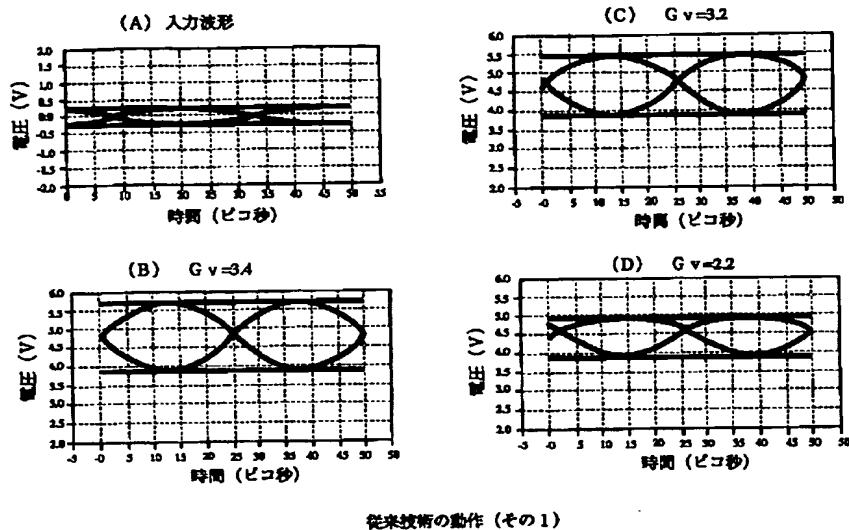
【図6】



【図7】



【図8】



フロントページの続き

F ターム(参考) 5J067 AA04 AA13 AA21 CA00 FA00
 HA09 HA25 HA29 KA68 LS13
 MA04 MA17 SA13 TA02 TA03
 5J069 AA04 AA13 AA21 CA00 FA00
 HA09 HA25 HA29 KA68 MA04
 MA17 SA13 TA02 TA03
 5J092 AA04 AA13 AA21 CA00 FA00
 HA09 HA25 HA29 KA68 MA04
 MA17 SA13 TA02 TA03
 5J500 AA04 AA13 AA21 AC00 AF00
 AH09 AH25 AH29 AK68 AM04
 AM17 AS13 AT02 AT03